

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-160074

(43)Date of publication of application : 20.06.1997

(51)Int.Cl.

G02F 1/136

G02F 1/1333

H01L 29/786

(21)Application number : 07-324578

(71)Applicant : SHARP CORP

(22)Date of filing : 13.12.1995

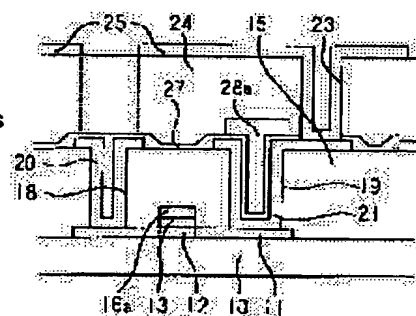
(72)Inventor : MATSUSHIMA YASUHIRO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device which prevents the disconnection of source bus wirings and has such a high opening rate as to obviate the occurrence of the degradation in the opening rate by additive capacitors.

SOLUTION: This device is formed with non-single crystal silicon thin films 11, gate insulating films 13 and gate bus wirings on a substrate and is so constituted that first interlayer insulating films 15, the source bus wirings 20, second interlayer insulating films 24 and pixel electrodes 25 are respectively formed on these gate bus wirings. In such a case, the first interlayer insulating films 15 are formed of org. materials and the additive capacitors are formed in the inside wall parts of contact holes 19 formed on the first interlayer insulating films 15.



LEGAL STATUS

[Date of request for examination]

23.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3245527

[Date of registration]

26.10.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The liquid crystal display characterized by forming a non-single-crystal-silicon thin film, gate dielectric film, and gate bus wiring on a substrate, and forming said 1st interlayer insulation film in the upper part of this gate bus wiring with the organic material in the liquid crystal display with which the 1st interlayer insulation film, source bus wiring, 2nd interlayer insulation film, and pixel electrode were formed, respectively.

[Claim 2] The liquid crystal display according to claim 1 characterized by forming said 2nd interlayer insulation film with the organic material.

[Claim 3] The liquid crystal display according to claim 1 or 2 with which said organic material is characterized by being photosensitive acrylic resin.

[Claim 4] The liquid crystal display according to claim 1 or 2 characterized by forming addition capacity in at least one contact hole wall part which pierces through said 1st interlayer insulation film.

[Claim 5] The liquid crystal display according to claim 4 characterized by using this **** raising electrode as the lower electrode of addition capacity while accumulating on the contact hole wall part in which said addition capacity is formed and forming the electrode.

[Claim 6] The liquid crystal display according to claim 1 or 2 characterized by forming the light-shielding film on said 1st interlayer insulation film.

[Claim 7] Said light-shielding film is a liquid crystal display according to claim 6 characterized by being formed with the up electrode of addition capacity.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the structure especially in a pixel part about the liquid crystal display equipped with switching elements, such as a thin film transistor (TFT).

[0002]

[Description of the Prior Art] Drawing 7 is the circuit diagram showing the configuration of the conventional liquid crystal display in which the circumference drive circuit was formed on the substrate.

[0003] In drawing 7, the gate drive circuit 32, the source drive circuit 33, and the TFT (Thin Film Transistor) array section 34 are formed on the glass substrate or the quartz substrate 31. This gate drive circuit 32 consists of shift register 32a and buffer 32b. Moreover, the source drive circuit 33 consists of shift register 33a, buffer 33b, and an analog switch 39 that performs the sampling of the video line 38.

[0004] The gate bus wiring 116 to which a large number prolonged from said gate drive circuit 32 are parallel is arranged in the TFT array section 34, and from said source drive circuit 33, this gate bus wiring 116 and much source bus wiring 120 cross at right angles, and is arranged. Moreover, it is parallel to this gate bus wiring 116, and the addition capacity common wiring 114 is arranged.

[0005] Furthermore, 35 pixel TFT36 and the addition capacity 37 are arranged in the field of the rectangle surrounded by the gate bus wiring 116 and 116 of two and the source bus wiring 120 and 120 which were mentioned above, and the addition capacity common wiring 114 and 114. At this time, this gate electrode of TFT35 is connected to the gate bus wiring 116, and this source electrode of TFT35 is connected to the source bus wiring 120.

[0006] And liquid crystal is enclosed between the pixel electrode 36 connected to said drain of TFT35, and the counterelectrode formed on the opposite substrate, and the pixel is constituted. Moreover, the addition capacity common wiring 114 is connected to the electrode of the same potential as a counterelectrode at this time.

[0007] Drawing 5 is the top view having shown the configuration for one pixel in the conventional liquid crystal display, and drawing 6 shows the A-A line sectional view in the liquid crystal display of drawing 5.

[0008] In drawing 5 and drawing 6, on the insulating substrate 110, the polycrystalline silicon thin film 111 used as a barrier layer is formed by the thickness which is 40nm – 80nm, and on it, sputtering or a CVD method is used and it is formed by the thickness whose gate dielectric film 113 is 80nm – 150nm.

[0009] And it is P+ to the addition part by volume (shadow area in drawing 5 and drawing 6) which forms addition capacity behind in said polycrystalline silicon thin film 111. The ion implantation was performed by the concentration of 1×10^{15} (cm⁻²), and patterning was carried out for gate electrode 116a and addition capacity up electrode 114a to the predetermined configuration using a metal or the polycrystalline silicon of low resistance.

[0010] Then, in order to determine the conductivity type of this thin film transistor, it is the upper part of said gate electrode 116a to P+. The ion implantation was performed by the concentration of 1×10^{15} (cm⁻²), and the channel 112 was formed in the lower part of this gate electrode 116a.

[0011] Furthermore, SiO₂ Or using SiNx, formation of contact holes 118 and 119 was performed after

forming the 1st interlayer insulation film 115 in the whole substrate surface, and it reached source bus wiring 120, and accumulated, and the electrode 121 was formed using metals of low resistance, such as aluminum.

[0012] And it is SiO₂ like said 1st interlayer insulation film 115. Or using SiN_x, formation of a contact hole 123 was performed after forming the 2nd interlayer insulation film 124 in the whole substrate surface, this contact hole 123 was covered, and the pixel electrode 125 which consists of transference electric conduction film, such as ITO, was formed.

[0013]

[Problem(s) to be Solved by the Invention] However, in said conventional liquid crystal display, since said 1st interlayer insulation film 115 was formed with the inorganic material of 100nm of thickness numbers, in a part for the intersection of the source bus wiring 120 and the gate bus wiring 116, the open circuit of the source bus wiring 120 by the level difference of this gate bus wiring 116 had generated it.

[0014] Moreover, since it is formed in the same layer as said gate bus wiring 116 and addition capacity was formed superficially, the addition capacity common wiring 114 had caused decline in a numerical aperture, in order that it was necessary to prepare the field of this addition capacity and and this addition capacity common wiring 116 might not let light pass.

[0015] The place which it is made in order that this invention may solve such a trouble, and is made into the purpose By considering as a configuration which forms addition capacity in the contact hole wall part formed in this 1st interlayer insulation film, while forming the 1st interlayer insulation film with an organic material While preventing an open circuit of source bus wiring which had become a problem conventionally, it is in offering the liquid crystal display of a high numerical aperture which does not cause decline in the numerical aperture by addition capacity.

[0016]

[Means for Solving the Problem] The liquid crystal display of this invention is characterized by forming a non-single-crystal-silicon thin film, gate dielectric film, and gate bus wiring on a substrate, and forming said 1st interlayer insulation film in the upper part of this gate bus wiring with the organic material in the liquid crystal display with which the 1st interlayer insulation film, source bus wiring, 2nd interlayer insulation film, and pixel electrode were formed, respectively, and the above-mentioned purpose is attained by that.

[0017] Moreover, as for the liquid crystal display of this invention, it is desirable that said 2nd interlayer insulation film is also formed with the organic material.

[0018] Moreover, as for the liquid crystal display of this invention, it is desirable that said organic material is photosensitive acrylic resin.

[0019] Moreover, as for the liquid crystal display of this invention, it is desirable that addition capacity is formed in at least one contact hole wall part which pierces through said 1st interlayer insulation film.

[0020] Moreover, as for the liquid crystal display of this invention, it is desirable to use this **** raising electrode as the lower electrode of addition capacity while accumulating on the contact hole wall part in which said addition capacity is formed and forming the electrode.

[0021] Moreover, as for the liquid crystal display of this invention, it is desirable that the light-shielding film is formed on said 1st interlayer insulation film.

[0022] Moreover, as for the liquid crystal display of this invention, it is desirable that said light-shielding film is formed with the up electrode of addition capacity.

[0023] Hereafter, the operation is explained.

[0024] In the liquid crystal display of this invention, a non-single-crystal-silicon thin film, gate dielectric film, and gate bus wiring are formed on a substrate, and said 1st interlayer insulation film is formed in the upper part of this gate bus wiring with the organic material in the liquid crystal display with which the 1st interlayer insulation film, source bus wiring, 2nd interlayer insulation film, and pixel electrode were formed, respectively. Thus, since said 1st interlayer insulation film is formed with the organic material, the short-circuit which leads the interlayer insulation film of gate bus wiring generated when an

inorganic material was used, and source bus wiring does not take place. Moreover, since flattening of the lower field of source bus wiring is fully carried out, an open circuit of source bus wiring by the thin film transistor or the level difference of gate bus wiring can be prevented. Moreover, the capacity for an intersection of gate bus wiring and source bus wiring becomes small, and the problem of the signal delay generated in bus wiring can also be controlled.

[0025] Moreover, according to this invention, since said 2nd interlayer insulation film is also formed with the organic material, the lower field of this 2nd interlayer insulation film can make small the electric field given to a liquid crystal layer and said pixel electrode can be formed on the field by which flattening was fully carried out, positive rubbing processing can be performed and turbulence of liquid crystal orientation can be abolished.

[0026] Moreover, according to this invention, since photosensitive acrylic resin is used as said organic material, a contact hole can be easily formed by exposure and development, and it becomes possible to simplify a manufacture process. Moreover, since said photosensitive acrylic resin is excellent in translucency, even if it is the case where this liquid crystal display is used as a transparency mold liquid crystal display, decline in permeability does not take place.

[0027] Moreover, since addition capacity is formed in at least one contact hole wall part which pierces through said 1st interlayer insulation film according to this invention, the field of the addition capacity which is non-translucency can be made small, and the numerical aperture of a liquid crystal display can be raised.

[0028] Since according to this invention this ***** raising electrode is used as the lower electrode of addition capacity while accumulating on the contact hole wall part in which said addition capacity is formed and forming the electrode, it becomes unnecessary moreover, to be able to form the lower electrode of addition capacity in source bus wiring formation and coincidence, and to newly carry out patterning of the lower electrode of addition capacity.

[0029] Moreover, according to this invention, while the light-shielding film is formed on said 1st interlayer insulation film, since the light-shielding film is formed with the up electrode of addition capacity, it becomes possible [it becoming unnecessary to form a light-shielding film on an opposite substrate, and simplifying a manufacture process further].

[0030]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained.

[0031] (Gestalt 1 of operation) Drawing 1 is the top view having shown the configuration for one pixel in the liquid crystal display of the gestalt of operation of this invention, and drawing 2 shows the A-A line sectional view in the liquid crystal display of drawing 1.

[0032] In drawing 1 and drawing 2, the polycrystalline silicon thin film 11 used as a barrier layer is first formed by the thickness of 40nm – 80nm on the insulating substrate 10 which consists of glass or a quartz, sputtering or a CVD method is used on the center section of this polycrystalline silicon thin film 11, and it is SiO₂. Or the gate dielectric film 13 which consists of SiN_x was formed by the thickness of 80nm. Furthermore, gate electrode 16a which consists of aluminum or polycrystalline silicon was formed by the thickness of 30nm on this gate dielectric film 13.

[0033] Then, it is P⁺, using this gate electrode 16a as a mask from the upper part of said gate electrode 16a, in order to determine the conductivity type of this thin film transistor. The ion implantation was performed by the concentration of 1×10^{15} (cm⁻²), the channel section 12 of a non dope was formed in the lower part of this gate electrode 16a of a barrier layer, and the high-concentration impurity range was formed in fields other than this channel section 12. In addition, in this barrier layer of TFT, it is good also as structure which establishes a low concentration impurity range or a non dope field in said about 12 channel section, and lessens leakage current at the time of OFF of TFT at this time.

[0034] Next, after using photosensitive acrylic resin and forming the 1st interlayer insulation film 15 by 2.5-micrometer thickness with a spin coat method all over said substrate, exposure and development were performed and contact holes 18 and 19 were formed on this 1st interlayer insulation film 15.

[0035] Here, by having carried out 2-micrometer or more laminating of said 1st interlayer insulation film

15, by could perform flattening of the lower field of this 1st interlayer insulation film 15, and having used the photosensitive thing as this 1st interlayer insulation film 15, formation of said contact holes 18 and 19 is attained only at exposure and a development process, and a manufacture process can be simplified. [0036] Next, it reached source bus wiring 20, respectively, and accumulated, and the electrode 21 was formed using metals of low resistance, such as aluminum, so that said contact holes 18 and 19 might be covered. Since flattening of the lower field of said source bus wiring 20 is carried out with said 1st interlayer insulation film 15 at this time, also in a part for the intersection of this source bus wiring 20 and the gate bus wiring 16, it is lost that this source bus wiring 20 is disconnected with the level difference of this gate bus wiring 16. Moreover, the photosensitive acrylic material used as this 1st interlayer insulation film 15 has small specific inductive capacity compared with an inorganic material, and since thickness can also be enlarged, the capacity for the intersection of said source bus wiring 20 and said gate bus wiring 16 can be disregarded, and can prevent delay of the signal generated in bus wiring.

[0037] here — said — it accumulates, and the electrode 21 is formed in accordance with the wall of said contact hole 19, and it is functioning as this lower [for an electrode 21 to form addition capacity by accumulating] electrode.

[0038] Next, the insulator layer 27 was formed all over said substrate by the thickness of 50nm using SiNx etc. At this time, this insulator layer 27 is also functioning as said insulator layer to accumulate, to be formed in accordance with the wall of a contact hole 19 like the electrode 21, and for this insulator layer 27 form addition capacity.

[0039] Next, up electrode 28a for forming addition capacity using metals, such as Ta and aluminum, was formed so that a contact hole 19 might be covered, and the addition capacity common wiring 28 was also formed in coincidence. It is able for the surface area of the wall part of said contact hole 19 to become large, and to take sufficiently large addition capacity value, since the thickness of said 1st interlayer insulation film is thick compared with 2.5 micrometers and the former at this time.

[0040] Here, said addition capacity value is explained briefly. If the bore of addition capacity up electrode 28a in said contact hole 19 is 5 micrometers, surface area is set to $5 \times 5 (\text{pars basilaris ossis occipitalis}) + 5 \times 2.5 \times 4 (\text{flank}) = 75 (\text{micrometer}^2)$, and since the capacity per unit area of 50nm SiNx is $C_{ox} = 1.4 \times 10^{-3} (\text{pF/micrometer}^2)$, it will become possible [acquiring the addition capacity value of 0.11pF only in this contact hole 19]. Temporarily, if this addition capacity was formed superficially, the addition capacity field of 75 (micrometer²) is needed, and since this addition capacity field does not let light pass, a numerical aperture will fall by this field. In this invention, even if it is the case that addition capacity value is insufficient, this addition capacity value is [even if] suppliable by forming said contact hole 19 greatly, or forming a superficial capacity auxiliary.

[0041] Next, after using photosensitive acrylic resin like the 1st interlayer insulation film 15 and forming the 2nd interlayer insulation film 24 all over said substrate, exposure and development were performed, subsequently etching of said insulator layer 27 was also performed, and the contact hole 23 was formed on this 2nd interlayer insulation film 24. Furthermore, the pixel electrode 25 was formed using transparence electric conduction film, such as ITO, so that said contact hole 23 might be covered. In addition, at this time, when [said] it accumulates and the ohmic nature of contact to an electrode 21 and said pixel electrode 25 poses a problem, barrier metal may be formed in this contact hole 23.

[0042] In the operation gestalt in this invention, since the 2nd interlayer insulation film 24 is using photosensitive acrylic resin, the electric field which the lower field of this 2nd interlayer insulation film 24 gives to a liquid crystal layer like the 1st interlayer insulation film can be disregarded, and since said pixel electrode 25 is formed on the field by which flattening was fully carried out, positive rubbing processing can be performed, and it becomes, without producing turbulence of liquid crystal orientation.

[0043] (Gestalt 2 of operation) Drawing 3 is the top view having shown the configuration for one pixel in the liquid crystal display of the gestalt of operation of this invention, and drawing 4 shows the A-A line sectional view in the liquid crystal display of drawing 3. In addition, the explanation is omitted about the same part as drawing 1 and drawing 2.

[0044] In the gestalt 2 of this operation, as shown in drawing 3 and drawing 4 , the liquid crystal display was produced like the gestalt 1 of operation except having extended addition capacity up electrode 28a to the TFT upper part.

[0045] It becomes possible for it to become unnecessary to form a light-shielding film on an opposite substrate, and to simplify a manufacture process further by this, since the gate bus wiring 16, the source bus wiring 20, and addition capacity up electrode 28a will function as a light-shielding film.

[0046]

[Effect of the Invention] In the liquid crystal display of this invention, since said 1st interlayer insulation film is formed with the organic material, the short-circuit which leads the interlayer insulation film of gate bus wiring generated when an inorganic material was used, and source bus wiring does not take place. Moreover, since flattening of the lower field of source bus wiring is fully carried out, an open circuit of source bus wiring by the thin film transistor or the level difference of gate bus wiring can be prevented. Moreover, the capacity for an intersection of gate bus wiring and source bus wiring becomes small, and the problem of the signal delay generated in bus wiring can also be controlled.

[0047] Moreover, according to this invention, since said 2nd interlayer insulation film is formed with the organic material, the lower field of this 2nd interlayer insulation film can make small the electric field given to a liquid crystal layer and said pixel electrode can be formed on the field by which flattening was fully carried out, positive rubbing processing can be performed and turbulence of liquid crystal orientation can be abolished.

[0048] Moreover, according to this invention, since photosensitive acrylic resin is used as said organic material, a contact hole can be easily formed by exposure and development, and it becomes possible to simplify a manufacture process. Moreover, since said photosensitive acrylic resin is excellent in translucency, even if it is the case where this liquid crystal display is used as a transparency mold liquid crystal display, decline in permeability does not take place.

[0049] Moreover, since addition capacity is formed in at least one contact hole wall part which pierces through said 1st interlayer insulation film according to this invention, the field of the addition capacity which is non-translucency can be made small, and the numerical aperture of a liquid crystal display can be raised.

[0050] Since according to this invention this **** raising electrode is used as the lower electrode of addition capacity while accumulating on the contact hole wall part in which said addition capacity is formed and forming the electrode, it becomes unnecessary moreover, to be able to form the lower electrode of addition capacity in source bus wiring formation and coincidence, and to newly carry out patterning of the lower electrode of addition capacity.

[0051] Moreover, according to this invention, while the light-shielding film is formed on said 1st interlayer insulation film, since the light-shielding film is formed with the up electrode of addition capacity, it becomes possible [it becoming unnecessary to form a light-shielding film on an opposite substrate, and simplifying a manufacture process further].

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view having shown the configuration for one pixel in the liquid crystal display of the gestalt of operation of this invention.

[Drawing 2] The A-A line sectional view in the liquid crystal display of drawing 1 is shown.

[Drawing 3] It is the top view having shown the configuration for one pixel in the liquid crystal display of the gestalt of operation of this invention.

[Drawing 4] The A-A line sectional view in the liquid crystal display of drawing 3 is shown.

[Drawing 5] It is the top view having shown the configuration for one pixel in the conventional liquid crystal display.

[Drawing 6] The A-A line sectional view in the liquid crystal display of drawing 5 is shown.

[Drawing 7] It is the circuit diagram showing the configuration of the conventional liquid crystal display in which the circumference drive circuit was formed on the substrate.

[Description of Notations]

- 10 Insulating Substrate
- 11 Polycrystalline Silicon Thin Film
- 12 Channel Section
- 13 Gate Dielectric Film
- 15 1st Interlayer Insulation Film
- 16 Gate Bus Wiring
- 16a Gate electrode
- 18 Contact Hole
- 19 Contact Hole
- 20 Source Bus Wiring
- 21 Accumulate and it is Electrode.
- 23 Contact Hole
- 24 2nd Interlayer Insulation Film
- 25 Pixel Electrode
- 27 Insulator Layer
- 28 Addition Capacity Common Wiring
- 28a Addition capacity up electrode
- 31 Substrate
- 32 Gate Drive Circuit
- 32a Shift register
- 32b Buffer
- 33 Source Drive Circuit
- 33a Shift register
- 33b Buffer
- 34 TFT Array Section
- 35 TFT

36 Pixel
37 Addition Capacity
38 Video Line
39 Analog Switch
110 Insulating Substrate
111 Polycrystalline Silicon Thin Film
112 Channel
113 Gate Dielectric Film
114 Addition Capacity Common Wiring
114a Addition capacity up electrode
115 1st Interlayer Insulation Film
116 Gate Bus Wiring
116a Gate electrode
118 Contact Hole
119 Contact Hole
120 Source Bus Wiring
121 Accumulate and it is Electrode.
123 Contact Hole
124 2nd Interlayer Insulation Film
125 Pixel Electrode

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-160074

(43) 公開日 平成9年(1997)6月20日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
	1/1333	5 0 5	1/1333	5 0 5
H 0 1 L 29/786			H 0 1 L 29/78	6 1 9 A

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願平7-324578

(22) 出願日 平成7年(1995)12月13日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 松島 康浩

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

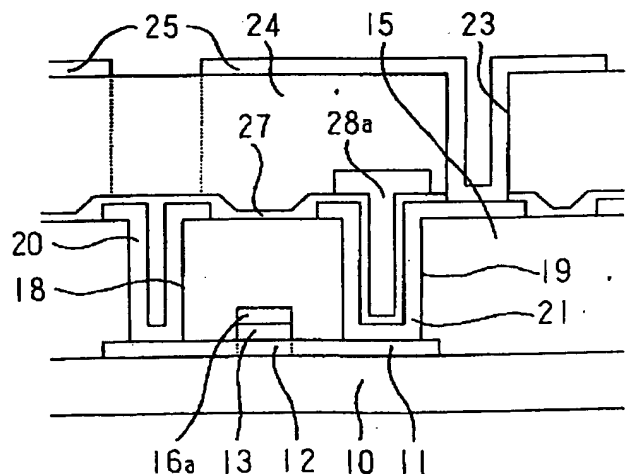
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 ソースバス配線の断線を防止するとともに、付加容量による開口率の低下を起こさないような高開口率の液晶表示装置を提供する。

【解決手段】 基板上に、非単結晶シリコン薄膜11とゲート絶縁膜13とゲートバス配線16とが形成され、該ゲートバス配線16の上部に、第1の層間絶縁膜15とソースバス配線20と第2の層間絶縁膜24と画素電極25とがそれぞれ形成された液晶表示装置において、前記第1の層間絶縁膜15を有機材料により形成するとともに、該第1の層間絶縁膜15に形成されたコンタクトホール19内壁部分に付加容量を形成する構成とする。



(2)

1

【特許請求の範囲】

【請求項1】 基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上部に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成された液晶表示装置において、前記第1の層間絶縁膜が有機材料によって形成されていることを特徴とする液晶表示装置。

【請求項2】 前記第2の層間絶縁膜が有機材料によって形成されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記有機材料が、感光性アクリル樹脂であることを特徴とする請求項1または2に記載の液晶表示装置。

【請求項4】 前記第1の層間絶縁膜を貫く少なくとも一つのコンタクトホール内壁部分に、付加容量が形成されていることを特徴とする請求項1または2に記載の液晶表示装置。

【請求項5】 前記付加容量が形成されるコンタクトホール内壁部分には、積み上げ電極が形成されているとともに、該積み上げ電極を付加容量の下部電極とすることを特徴とする請求項4に記載の液晶表示装置。

【請求項6】 前記第1の層間絶縁膜上に遮光膜が形成されていることを特徴とする請求項1または2に記載の液晶表示装置。

【請求項7】 前記遮光膜は、付加容量の上部電極により形成されていることを特徴とする請求項6に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、薄膜トランジスタ(TFT)などのスイッチング素子を備えた液晶表示装置に関し、特に画素部分における構造に関するものである。

【0002】

【従来の技術】 図7は、基板上に周辺駆動回路を形成した従来の液晶表示装置の構成を示す回路図である。

【0003】 図7において、ガラス基板または石英基板31上には、ゲート駆動回路32、ソース駆動回路33、およびTFT(Thin Film Transistor)アレイ部34とが形成されている。このゲート駆動回路32は、シフトレジスタ32aおよびバッファ32bとから構成されている。また、ソース駆動回路33は、シフトレジスタ33a、バッファ33b、およびビデオライン38のサンプリングを行うアナログスイッチ39とから構成されている。

【0004】 TFTアレイ部34には、前記ゲート駆動回路32から延びる多数の平行するゲートバス配線116が配設されており、前記ソース駆動回路33からは多数のソースバス配線120が、該ゲートバス配線116

2

に直交して配設されている。また、このゲートバス配線116に平行して、付加容量共通配線114が配設されている。

【0005】 さらに、上述したような2本のゲートバス配線116、116、ソースバス配線120、120、および付加容量共通配線114、114とに囲まれた矩形の領域には、TFT35、画素36、および付加容量37とが配設されている。このとき、このTFT35のゲート電極は、ゲートバス配線116に接続されており、また、該TFT35のソース電極は、ソースバス配線120に接続されている。

【0006】 そして、前記TFT35のドレインに接続された画素電極36と対向基板上に形成された対向電極との間に液晶が封入されて、画素が構成されている。また、このとき付加容量共通配線114は、対向電極と同じ電位の電極に接続されている。

【0007】 図5は、従来の液晶表示装置における画素1個分の構成を示した平面図であり、図6は、図5の液晶表示装置におけるA-A線断面図を示している。

【0008】 図5および図6において、絶縁基板110上には、活性層となる多結晶シリコン薄膜111が40nm〜80nmの厚さで形成されており、その上に、スパッタリングもしくはCVD法を用いて、ゲート絶縁膜113が80nm〜150nmの厚さで形成されている。

【0009】 そして、前記多結晶シリコン薄膜111において、後に付加容量を形成する付加容量部(図5、図6における斜線部分)に、 P^+ を $1 \times 10^{15} (cm^{-2})$ の濃度でイオン注入を行い、ゲート電極116aおよび付加容量上部電極114aを、金属もしくは低抵抗の多結晶シリコンを用いて、所定の形状にパターニングを行った。

【0010】 その後、この薄膜トランジスタの導電型を決定するために、前記ゲート電極116aの上方から、 P^+ を $1 \times 10^{15} (cm^{-2})$ の濃度でイオン注入を行い、該ゲート電極116aの下部にチャンネル112を形成した。

【0011】 さらに、 SiO_2 もしくは $SiNx$ を用いて、第1の層間絶縁膜115を基板全面に形成後、コンタクトホール118および119の形成を行い、ソースバス配線120および積み上げ電極121をAlなどの低抵抗の金属を用いて形成した。

【0012】 そして、前記第1の層間絶縁膜115と同様に、 SiO_2 もしくは $SiNx$ を用いて、第2の層間絶縁膜124を基板全面に形成後、コンタクトホール123の形成を行い、該コンタクトホール123を覆って、ITOなどの透明導電膜からなる画素電極125の形成を行った。

【0013】

【発明が解決しようとする課題】 しかしながら、前記従

(3)

3

来の液晶表示装置においては、前記第1の層間絶縁膜115は膜厚数100nmの無機材料で形成されているため、ソースバス配線120とゲートバス配線116との交差部分において、該ゲートバス配線116の段差によるソースバス配線120の断線が発生していた。

【0014】また、付加容量共通配線114は、前記ゲートバス配線116と同じ層に形成されており付加容量が平面的に形成されているので、該付加容量の領域を設ける必要があり、また、該付加容量共通配線116は光を通さないため開口率の低下を招いていた。

【0015】本発明は、このような問題点を解決するためになされたものであって、その目的とするところは、第1の層間絶縁膜を有機材料により形成するとともに、該第1の層間絶縁膜に形成されたコンタクトホール内壁部分に付加容量を形成するような構成とすることにより、従来問題となっていたソースバス配線の断線を防止するとともに、付加容量による開口率の低下を起こさない高開口率の液晶表示装置を提供することにある。

【0016】

【課題を解決するための手段】本発明の液晶表示装置は、基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上部に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成された液晶表示装置において、前記第1の層間絶縁膜が有機材料によって形成されていることを特徴としており、そのことにより上記目的が達成される。

【0017】また、本発明の液晶表示装置は、前記第2の層間絶縁膜も有機材料によって形成されていることが好ましい。

【0018】また、本発明の液晶表示装置は、前記有機材料が、感光性アクリル樹脂であることが好ましい。

【0019】また、本発明の液晶表示装置は、前記第1の層間絶縁膜を貫く少なくとも一つのコンタクトホール内壁部分に、付加容量が形成されていることが好ましい。

【0020】また、本発明の液晶表示装置は、前記付加容量が形成されるコンタクトホール内壁部分に、積み上げ電極が形成されているとともに、該積み上げ電極を付加容量の下部電極とすることが好ましい。

【0021】また、本発明の液晶表示装置は、前記第1の層間絶縁膜上に遮光膜が形成されていることが好ましい。

【0022】また、本発明の液晶表示装置は、前記遮光膜が、付加容量の上部電極により形成されていることが好ましい。

【0023】以下、その作用について説明する。

【0024】本発明の液晶表示装置においては、基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上部に、第1の

4

層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成された液晶表示装置において、前記第1の層間絶縁膜が有機材料によって形成されている。このように、前記第1の層間絶縁膜が有機材料によって形成されているので、無機材料を使用した場合に発生していたゲートバス配線およびソースバス配線の層間絶縁膜を通じてのショートが起こることはない。また、ソースバス配線の下部領域が十分に平坦化されているので、薄膜トランジスタやゲートバス配線の段差によるソースバス配線の断線を防止することができる。また、ゲートバス配線とソースバス配線との交差部分の容量が小さくなり、バス配線に発生する信号遅延の問題も抑制することができる。

【0025】また、本発明によれば、前記第2の層間絶縁膜も有機材料によって形成されているので、該第2の層間絶縁膜の下部領域が液晶層へ与える電界を小さくすることができ、また、前記画素電極を十分に平坦化された領域上に形成することができるため、確実なラビング処理を行うことができ、液晶配向の乱れを無くすることができる。

【0026】また、本発明によれば、前記有機材料として感光性アクリル樹脂を使用しているので、露光および現像によりコンタクトホールを容易に形成することができ、製造プロセスを簡略化することが可能となる。また、前記感光性アクリル樹脂は透光性に優れているので、本液晶表示装置を透過型液晶表示装置として使用した場合であっても透過率の低下が起こることはない。

【0027】また、本発明によれば、前記第1の層間絶縁膜を貫く少なくとも一つのコンタクトホール内壁部分に、付加容量が形成されているので、非透光性である付加容量の領域を小さくすることができ、液晶表示装置の開口率を向上させることができる。

【0028】また、本発明によれば、前記付加容量が形成されるコンタクトホール内壁部分には、積み上げ電極が形成されているとともに、該積み上げ電極を付加容量の下部電極としているので、ソースバス配線形成と同時に付加容量の下部電極を形成することができ、付加容量の下部電極を新たにパターンニングする必要がなくなる。

【0029】また、本発明によれば、前記第1の層間絶縁膜上に遮光膜が形成されているとともに、その遮光膜が、付加容量の上部電極により形成されているので、対向基板上に遮光膜を形成する必要がなくなり、製造プロセスをさらに簡略化することが可能となる。

【0030】

【発明の実施の形態】以下、本発明の実施の形態について説明する。

【0031】（実施の形態1）図1は、本発明の実施の形態の液晶表示装置における画素1個分の構成を示した平面図であり、図2は、図1の液晶表示装置におけるA-A線断面図を示している。

(4)

5

【0032】図1および図2において、まず、ガラスまたは石英などからなる絶縁基板10上に、活性層となる多結晶シリコン薄膜11を40nm～80nmの厚さで形成し、該多結晶シリコン薄膜11の中央部上に、スパッタリングもしくはCVD法を用いて、 SiO_2 もしくは SiNx からなるゲート絶縁膜13を80nmの厚さで形成した。さらに、該ゲート絶縁膜13上に、Alもしくは多結晶シリコンからなるゲート電極16aを30nmの厚さで形成した。

【0033】その後、この薄膜トランジスタの導電型を決定するために、前記ゲート電極16aの上方から、該ゲート電極16aをマスクとして、 P^+ を $1 \times 10^{15} (\text{cm}^{-2})$ の濃度でイオン注入を行って、活性層の該ゲート電極16aの下部にノンドープのチャンネル部12を形成し、該チャンネル部12以外の領域に高濃度の不純物領域を形成した。なお、このとき、このTFTの活性層において、前記チャンネル部12近傍に低濃度不純物領域もしくはノンドープ領域を設けて、TFTのオフ時にリーク電流を少なくするような構造としてもよい。

【0034】次に、前記基板全面に、感光性のアクリル樹脂を用いて、スピンコート法により2.5 μm の膜厚で第1の層間絶縁膜15を形成した後、露光および現像を行って、該第1の層間絶縁膜15上においてコンタクトホール18、19の形成を行った。

【0035】ここで、前記第1の層間絶縁膜15を2 μm 以上積層したことにより、該第1の層間絶縁膜15の下部領域の平坦化を行うことができ、また、該第1の層間絶縁膜15として感光性のものを用いたことにより、露光および現像工程だけで前記コンタクトホール18、19の形成が可能となり、製造プロセスを単純にすることができる。

【0036】次に、前記コンタクトホール18、19を覆うように、それぞれソースバス配線20および積み上げ電極21をAlなどの低抵抗の金属を用いて形成した。このとき、前記ソースバス配線20の下部領域は、前記第1の層間絶縁膜15により平坦化されているので、該ソースバス配線20とゲートバス配線16との交差部分においても、該ソースバス配線20が該ゲートバス配線16の段差により断線することは無くなる。また、この第1の層間絶縁膜15として用いた感光性アクリル樹脂材料は、比誘電率が無機材料に比べて小さく、また、膜厚を大きくすることもできるので、前記ソースバス配線20と前記ゲートバス配線16との交差部分での容量は無視することができ、バス配線に発生する信号の遅延を防止することができる。

【0037】ここで、前記積み上げ電極21は、前記コンタクトホール19の内壁に沿って形成されており、この積み上げ電極21は付加容量を形成するための下部電極として機能している。

6

【0038】次に、絶縁膜27を SiNx などを用いて、50nmの厚さで前記基板全面に形成した。このとき、この絶縁膜27も前記積み上げ電極21と同様に、コンタクトホール19の内壁に沿って形成されており、この絶縁膜27は付加容量を形成するための絶縁膜として機能している。

【0039】次に、TaやAlなどの金属を用いて付加容量を形成するための上部電極28aをコンタクトホール19を覆うように形成し、同時に付加容量共通配線28も形成した。このとき、前記第1の層間絶縁膜の膜厚は、2.5 μm と従来に比べて厚いので、前記コンタクトホール19の内壁部分の表面積が大きくなり、付加容量値を十分大きくとることが可能となっている。

【0040】ここで、前記付加容量値について簡単に説明する。前記コンタクトホール19内の付加容量上部電極28aの内径が、例えば5 μm であれば、表面積は、 5×5 (底部) + $5 \times 2.5 \times 4$ (側部) = 75 (μm^2) となり、50nmの SiNx の単位面積当たりの容量は、 $C_{ox} = 1.4 \times 10^{-3} (\text{pF}/\mu\text{m}^2)$ であるので、このコンタクトホール19だけで0.11pFの付加容量値を得ることが可能となる。仮に、この付加容量を平面的に形成したとすれば、75 (μm^2) の付加容量領域が必要となり、この付加容量領域は光を通さないため、この領域分だけ開口率が低下してしまう。本発明においては、たとえ付加容量値が足りない場合であっても、前記コンタクトホール19を大きく形成するか、もしくは平面的な容量を補助的に形成することにより、該付加容量値を補うことができる。

【0041】次に、前記基板全面に、第2の層間絶縁膜24を第1の層間絶縁膜15と同様に、感光性アクリル樹脂を用いて形成した後、露光および現像を行い、次いで前記絶縁膜27のエッチングも行って、該第2の層間絶縁膜24上においてコンタクトホール23の形成を行った。さらに、前記コンタクトホール23を覆うように、画素電極25をITOなどの透明導電膜を用いて形成した。なお、このときに前記積み上げ電極21と前記画素電極25とのコンタクトのオーミック性が問題となるような場合は、該コンタクトホール23にバリアメタルを形成してもよい。

【0042】本発明における実施形態においては、第2の層間絶縁膜24は感光性アクリル樹脂を使用しているので、第1の層間絶縁膜と同様に該第2の層間絶縁膜24の下部領域が液晶層へ与える電界を無視することができ、また、前記画素電極25は、十分に平坦化された領域上に形成されているため、確実なラビング処理を行うことができ、液晶配向の乱れを生じることも無くなる。

【0043】(実施の形態2) 図3は、本発明の実施の形態の液晶表示装置における画素1個分の構成を示した平面図であり、図4は、図3の液晶表示装置におけるA-A線断面図を示している。なお、図1および図2と同

(5)

7

様の部分についてはその説明を省略する。

【0044】本実施の形態2においては、図3および図4に示すように、付加容量上部電極28aをTFT上部まで延長した以外は、実施の形態1と同様にして液晶表示装置を作製した。

【0045】このことにより、ゲートバス配線16とソースバス配線20と付加容量上部電極28aとが遮光膜として機能することになるので、対向基板上に遮光膜を形成する必要がなくなり、製造プロセスをさらに簡略化することが可能となる。

【0046】

【発明の効果】本発明の液晶表示装置においては、前記第1の層間絶縁膜が有機材料によって形成されているので、無機材料を使用した場合に発生していたゲートバス配線およびソースバス配線の層間絶縁膜を通じてのショートが起こることはない。また、ソースバス配線の下部領域が十分に平坦化されているので、薄膜トランジスタやゲートバス配線の段差によるソースバス配線の断線を防止することができる。また、ゲートバス配線とソースバス配線との交差部分の容量が小さくなり、バス配線に発生する信号遅延の問題も抑制することができる。

【0047】また、本発明によれば、前記第2の層間絶縁膜が有機材料によって形成されているので、該第2の層間絶縁膜の下部領域が液晶層へ与える電界を小さくすることができ、また、前記画素電極を十分に平坦化された領域上に形成することができるため、確実なラビング処理を行うことができ、液晶配向の乱れを無くすることができる。

【0048】また、本発明によれば、前記有機材料として感光性アクリル樹脂を使用しているので、露光および現像によりコンタクトホールを容易に形成することができ、製造プロセスを簡略化することが可能となる。また、前記感光性アクリル樹脂は透光性に優れているので、本液晶表示装置を透過型液晶表示装置として使用した場合であっても透過率の低下が起こることはない。

【0049】また、本発明によれば、前記第1の層間絶縁膜を貫く少なくとも一つのコンタクトホール内壁部分に、付加容量が形成されているので、非透光性である付加容量の領域を小さくすることができ、液晶表示装置の開口率を向上させることができる。

【0050】また、本発明によれば、前記付加容量が形成されるコンタクトホール内壁部分には、積み上げ電極が形成されているとともに、該積み上げ電極を付加容量の下部電極としているので、ソースバス配線形成と同時に付加容量の下部電極を形成することができ、付加容量の下部電極を新たにパターンニングする必要がなくなる。

【0051】また、本発明によれば、前記第1の層間絶縁膜上に遮光膜が形成されているとともに、その遮光膜が、付加容量の上部電極により形成されているので、対向基板上に遮光膜を形成する必要がなくなり、製造プロ

8

セスをさらに簡略化することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態の液晶表示装置における画素1個分の構成を示した平面図である。

【図2】図1の液晶表示装置におけるA-A線断面図を示している。

【図3】本発明の実施の形態の液晶表示装置における画素1個分の構成を示した平面図である。

【図4】図3の液晶表示装置におけるA-A線断面図を示している。

【図5】従来の液晶表示装置における画素1個分の構成を示した平面図である。

【図6】図5の液晶表示装置におけるA-A線断面図を示している。

【図7】基板上に周辺駆動回路を形成した従来の液晶表示装置の構成を示す回路図である。

【符号の説明】

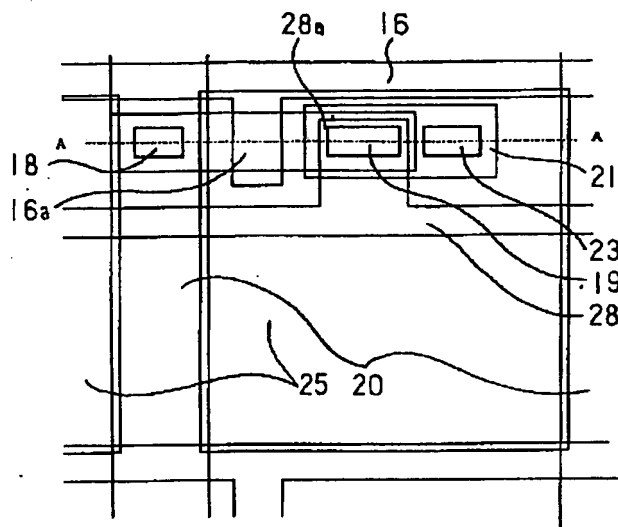
10	絶縁基板
11	多結晶シリコン薄膜
12	チャンネル部
13	ゲート絶縁膜
15	第1の層間絶縁膜
16	ゲートバス配線
16a	ゲート電極
18	コンタクトホール
19	コンタクトホール
20	ソースバス配線
21	積み上げ電極
23	コンタクトホール
24	第2の層間絶縁膜
25	画素電極
27	絶縁膜
28	付加容量共通配線
28a	付加容量上部電極
31	基板
32	ゲート駆動回路
32a	シフトレジスタ
32b	バッファ
33	ソース駆動回路
33a	シフトレジスタ
33b	バッファ
34	TFTアレイ部
35	TFT
36	画素
37	付加容量
38	ビデオライン
39	アナログスイッチ
110	絶縁基板
111	多結晶シリコン薄膜
112	チャンネル

50

(6)

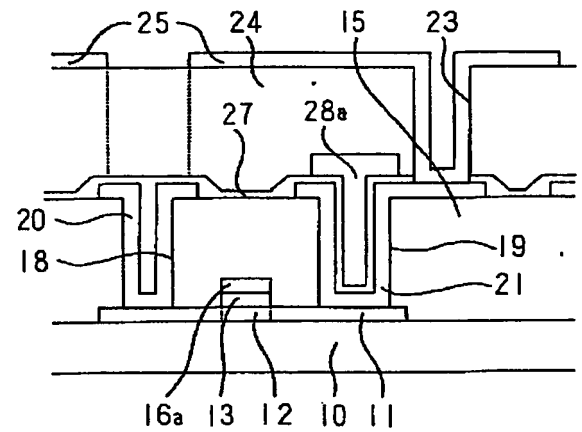
- 9
- 113 ゲート絶縁膜
 - 114 付加容量共通配線
 - 114a 付加容量上部電極
 - 115 第1の層間絶縁膜
 - 116 ゲートバス配線
 - 116a ゲート電極
 - 118 コンタクトホール

【図1】

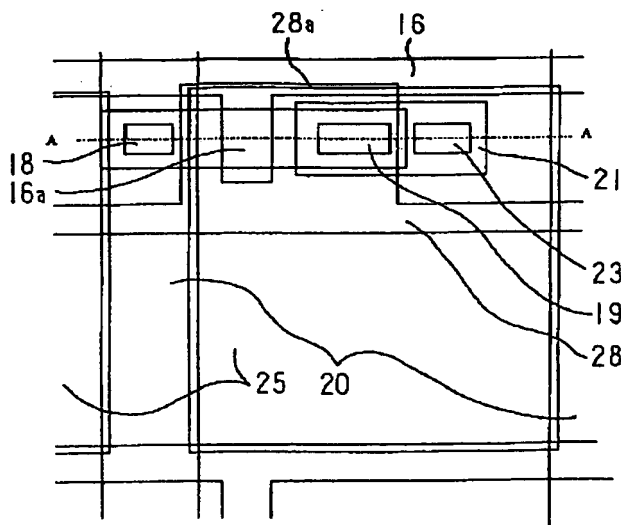


- 10
- 119 コンタクトホール
 - 120 ソースバス配線
 - 121 積み上げ電極
 - 123 コンタクトホール
 - 124 第2の層間絶縁膜
 - 125 画素電極

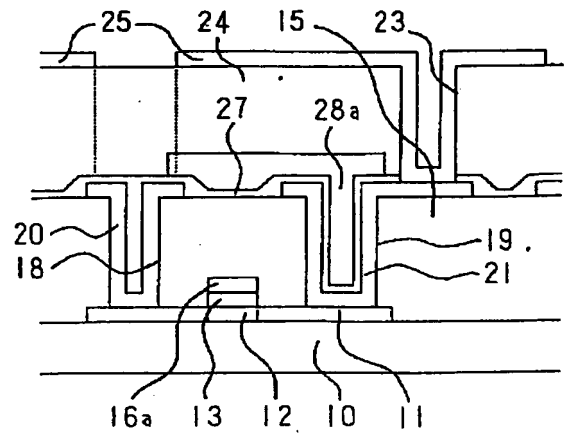
【図2】



【図3】

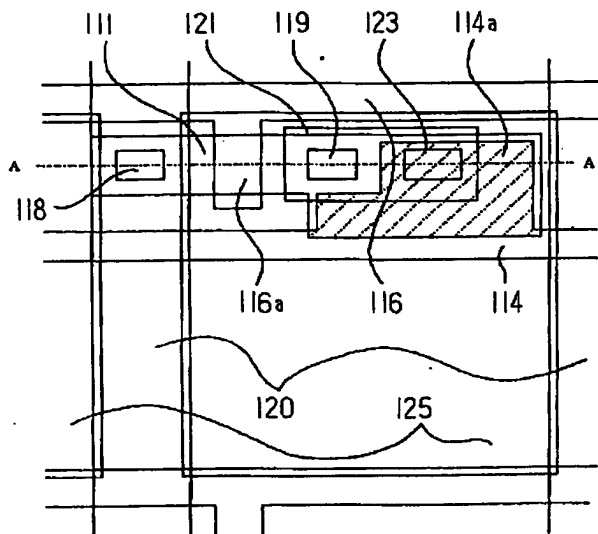


【図4】

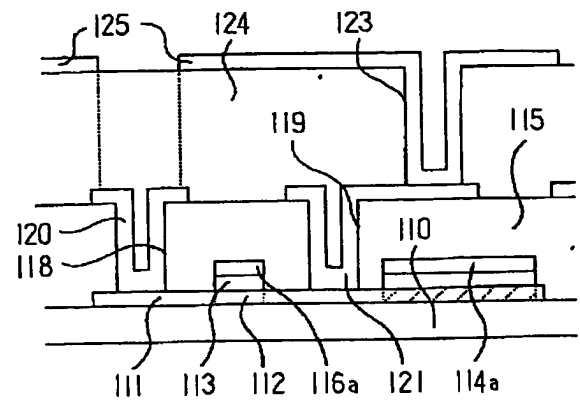


(7)

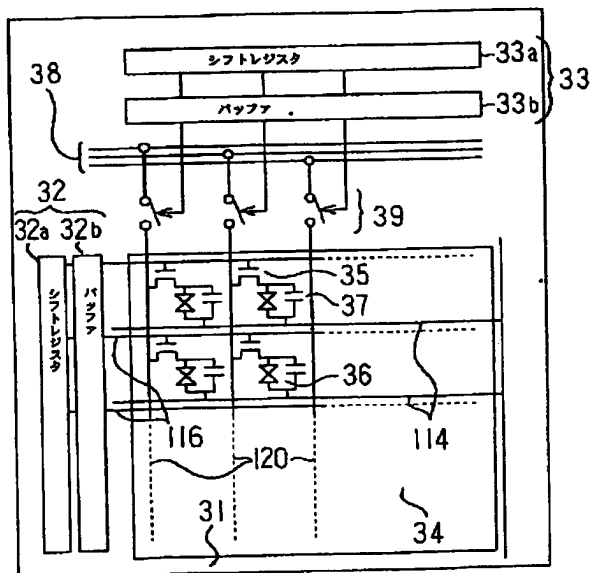
【図5】



【図6】



【図7】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成13年1月26日(2001. 1. 26)

【公開番号】特開平9-160074

【公開日】平成9年6月20日(1997. 6. 20)

【年通号数】公開特許公報9-1601

【出願番号】特願平7-324578

【国際特許分類第7版】

G02F 1/136 500

1/1333 505

H01L 29/786

【FI】

G02F 1/136 500

1/1333 505

H01L 29/78 619 A

【手続補正書】

【提出日】平成11年7月23日(1999. 7. 23)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成された液晶表示装置において、

前記第1の層間絶縁膜が有機材料によって形成されていることを特徴とする液晶表示装置。

【請求項2】 前記第2の層間絶縁膜が有機材料によって形成されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記有機材料が、感光性アクリル樹脂であることを特徴とする請求項1または2に記載の液晶表示装置。

【請求項4】 前記第1の層間絶縁膜を貫く少なくとも一つのコンタクトホール内壁部分に、付加容量が形成されていることを特徴とする請求項1または2に記載の液晶表示装置。

【請求項5】 前記付加容量が形成されるコンタクトホール内壁部分には、積み上げ電極が形成されているとともに、該積み上げ電極を付加容量の下部電極とすることを特徴とする請求項4に記載の液晶表示装置。

【請求項6】 前記第1の層間絶縁膜上に遮光膜が形成されていることを特徴とする請求項1または2に記載の液晶表示装置。

【請求項7】 前記遮光膜は、付加容量の上部電極により形成されていることを特徴とする請求項6に記載の液晶表示装置。

【請求項8】 基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成された液晶表示装置において、

前記第1の層間絶縁膜の開口部に付加容量下部電極となる積み上げ電極が形成され、該積み上げ電極上部にシリコン窒化膜が形成され、該シリコン窒化膜上部に付加容量上部電極が形成され、該積み上げ電極と付加容量上部電極との間で付加容量が形成されていることを特徴とする液晶表示装置。

【請求項9】 前記付加容量上部電極が遮光膜となることを特徴とする請求項8に記載の液晶表示装置。

【請求項10】 前記第1の層間絶縁膜または第2の層間絶縁膜が有機材料によって形成されていることを特徴とする請求項8に記載の液晶表示装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】また、本発明の液晶表示装置は、前記第1の層間絶縁膜上に遮光膜が形成されていることが好ましい。また、本発明の液晶表示装置は、前記遮光膜が、付加容量の上部電極により形成されていることが好ましい。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0022

(2)

【補正方法】変更

【補正内容】

【0022】本発明の液晶表示装置は、基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上部に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成された液晶表示装置において、前記第1の層間絶縁膜の開口部に付加容量下部電極となる積み上げ電極が形成され、該積み上げ電極上部にシリコン窒化膜が形成され、該シリコン窒化膜上部に付加容量上部電極が形成され、該積み上げ電極と付加容量上部電極との間で付加容量が形成されていることを特徴としており、そのことにより上記目的が達成される。また、本発明の液晶表示装置は、前記付加容量上部電極が遮光膜となることが好ましい。また、本発明の液晶表示装置は、前記第1の層間絶縁膜または第2の層間絶縁膜が有機材料によって形成されていることが好ましい。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】また、本発明によれば、前記付加容量が形成されるコンタクトホール内壁部分には、積み上げ電極が形成されているとともに、該積み上げ電極を付加容量の下部電極としているので、ソースバス配線形成と同時に付加容量の下部電極を形成することができ、付加容量の下部電極を新たにパターンニングする必要がなくなる。また、本発明によれば、前記第1の層間絶縁膜上に遮光膜が形成されているとともに、その遮光膜が、付加容量の上部電極により形成されているので、対向基板上に遮光膜を形成する必要がなくなり、製造プロセスをさらに簡略化することが可能となる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】本発明の液晶表示装置においては、基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上部に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成された液晶表示装置において、前記第1の層間絶縁膜の開口部に付加容量下部電極となる積み上げ電極が形成され、該積み上げ電極上部にシリコン窒化膜が形成され、該シリコン窒化膜上部に付加容量上部電極が形成され、該積み上げ電極と付加容量上部電極との間で付加容量が形成されている。このような構成とすることで、積み上げ電極でTFTと画素電極との接続不良をなくすことができるとともに、この非透光性の

2

積み上げ電極を付加容量下部電極として用い、さらにはシリコン窒化膜を付加容量の絶縁膜として使用することで小さな面積で効率よく付加容量を形成することができ、高開口率の液晶表示装置を実現することができる。また、本発明によれば、前記付加容量上部電極が遮光膜となるような構成としていることにより、遮光膜の形成プロセスを簡略化することができ、また、TFTの光リーク電流を防止することも可能となる。また、本発明によれば、前記第1の層間絶縁膜または第2の層間絶縁膜が有機材料によって形成されているので、配線による凹凸の平坦化および配線の容量低減を実現することができ、液晶表示装置の表示品位を向上させることが可能となる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正内容】

【0050】また、本発明によれば、前記付加容量が形成されるコンタクトホール内壁部分には、積み上げ電極が形成されているとともに、該積み上げ電極を付加容量の下部電極としているので、ソースバス配線形成と同時に付加容量の下部電極を形成することができ、付加容量の下部電極を新たにパターンニングする必要がなくなる。また、本発明によれば、前記第1の層間絶縁膜上に遮光膜が形成されているとともに、その遮光膜が、付加容量の上部電極により形成されているので、対向基板上に遮光膜を形成する必要がなくなり、製造プロセスをさらに簡略化することが可能となる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正内容】

【0051】本発明の液晶表示装置においては、基板上に、非単結晶シリコン薄膜とゲート絶縁膜とゲートバス配線とが形成され、該ゲートバス配線の上部に、第1の層間絶縁膜とソースバス配線と第2の層間絶縁膜と画素電極とがそれぞれ形成された液晶表示装置において、前記第1の層間絶縁膜の開口部に付加容量下部電極となる積み上げ電極が形成され、該積み上げ電極上部にシリコン窒化膜が形成され、該シリコン窒化膜上部に付加容量上部電極が形成され、該積み上げ電極と付加容量上部電極との間で付加容量が形成されている。このような構成とすることで、積み上げ電極でTFTと画素電極との接続不良をなくすことができるとともに、この非透光性の積み上げ電極を付加容量下部電極として用い、さらにはシリコン窒化膜を付加容量の絶縁膜として使用することで小さな面積で効率よく付加容量を形成することができ、高開口率の液晶表示装置を実現することができる。

(3)

3
また、本発明によれば、前記付加容量上部電極が遮光膜となるような構成としていることにより、遮光膜の形成プロセスを簡略化することができ、また、TFTの光リーク電流を防止することも可能となる。また、本発明によれば、前記第1の層間絶縁膜または第2の層間絶縁膜

4
が有機材料によって形成されているので、配線による凹凸の平坦化および配線の容量低減を実現することができ、液晶表示装置の表示品位を向上させることが可能となる。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.